

MULTIPLEXADORES E DECODIFICADORES

J.S./2001 (revisão)
 E.T.M./2002 (revisão da parte experimental)
 E.T.M./2003 (revisão da parte experimental)
 E.T.M./2004 (revisão)
 E.T.M./2005 (revisão)

RESUMO

Esta experiência tem como objetivo a familiarização com:

- Principais características de multiplexadores e decodificadores comercialmente disponíveis;
- Montagens de funções lógicas utilizando multiplexadores e decodificadores.

1. PARTE TEÓRICA

A implementação de funções lógicas de maior complexidade não é normalmente uma tarefa fácil, podendo exigir o uso de muitas portas lógicas. Para simplificar os projetos, podem-se utilizar componentes com um maior grau de integração (MSI - *Medium Scale Integration* e LSI - *Large Scale Integration*), que proporcionam uma significativa redução do número de componentes necessários à implementação de muitas funções. No entanto, o custo de tais componentes é superior ao das portas lógicas. Assim, para efeito de escolha, o custo global do projeto também deve ser considerado.

O uso de multiplexadores, decodificadores e PALs (Arranjos Lógicos Programáveis) é uma opção vantajosa em relação às portas lógicas, sendo assim muito utilizados. Na presente experiência, serão utilizados apenas os multiplexadores e decodificadores. Por esta razão é importante conhecer os tipos de circuitos integrados MSI disponíveis no mercado. Somente deste modo é possível projetar um sistema utilizando os componentes disponíveis da melhor forma possível.

As equações lógicas obviamente são úteis. Entretanto, estas tendem a ocultar a função que está sendo implementada. Se fossem usadas equações para descrever um decodificador¹ para "display de sete segmentos", dificilmente seria percebida a existência de um circuito integrado pronto para esta função (p.ex., os circuitos integrados 74LS47 e 74LS49). As equações:

$$a = A + BD + CD + B'D'$$

$$b = C'D' + CD + B'$$

$$c = B + C' + D$$

$$d = CD' + BC'D + B'C + B'D'$$

$$e = B'D + CD'$$

$$f = C'D' + BC' + A + BD'$$

$$g = BD' + BC' + B'C + A$$

não permitem um fácil reconhecimento de que se trata de um "seven segment display driver" (as letras minúsculas representam os segmentos do display, e as letras maiúsculas, os bits do número hexadecimal desejado). Desta forma, pode-se concluir que:

"O sistema digital deve ser totalmente definido em termos de grandes blocos integrados antes de qualquer detalhamento utilizando equações lógicas que, em grande número de casos, são dispensáveis".

¹ Embora chamado desta forma pela maioria dos fabricantes, o decodificador para displays de sete segmentos é na verdade um conversor de código binário para um código de sete bits. A palavra "decodificador" deve ser usada para outro tipo de circuito descrito mais adiante.

1.1. Multiplexadores

O multiplexador (*multiplexer* ou MUX) implementa eletronicamente uma chave seletora de dados. A figura 1.1 mostra uma chave seletora de oito posições e a representação gráfica de um MUX integrado de oito entradas.

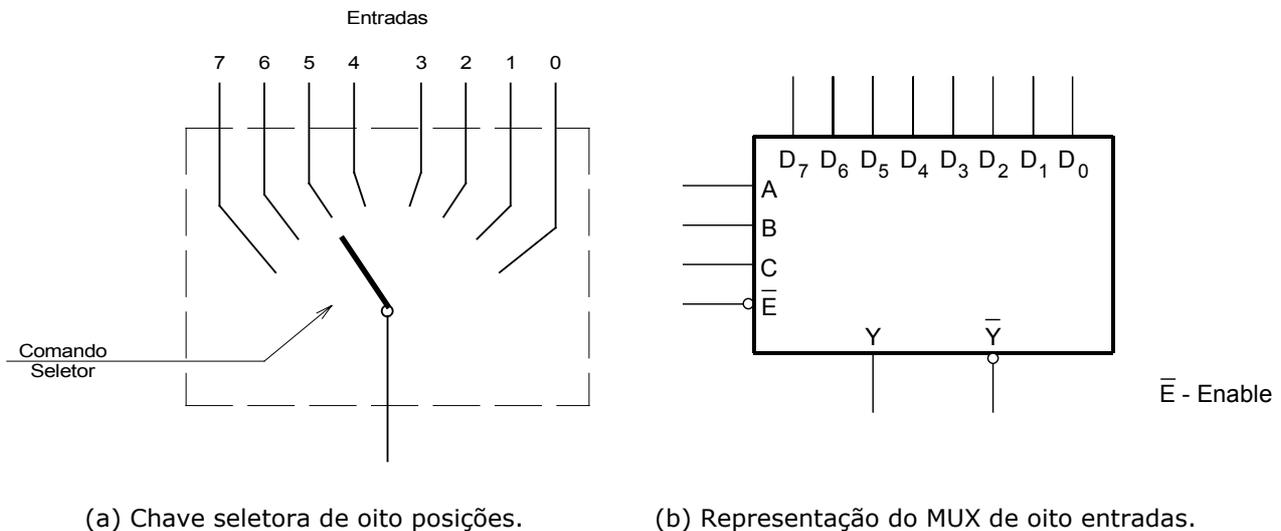


Figura 1.1 – Multiplexador 8 para 1.

O multiplexador conecta o dado presente em uma das 2^n entradas de dados D_i para a sua saída Y , em função de n entradas de controle. Opcionalmente, pode haver também um sinal de habilitação (*enable*). O funcionamento do circuito do MUX pode ser entendido a partir da Tabela I.

Tabela I - Tabela Verdade do MUX de 8 Entradas.

E'	A	B	C	Y	Y'
0	0	0	0	D_0	D_0'
0	0	0	1	D_1	D_1'
0	0	1	0	D_2	D_2'
0	0	1	1	D_3	D_3'
0	1	0	0	D_4	D_4'
0	1	0	1	D_5	D_5'
0	1	1	0	D_6	D_6'
0	1	1	1	D_7	D_7'
1	X	X	X	0	1

Assim, um multiplexador é um dispositivo combinatório, controlado por endereços de seleção que transfere uma de suas entradas para a saída. Uma única pastilha multiplexadora pode substituir várias pastilhas de portas lógicas, economizando espaço e interconexões em placas de circuito impresso, diminuindo atrasos de propagação e dissipação, e ainda facilitando o projeto do sistema. Como exemplo de circuitos integrados disponíveis no mercado pode-se citar o 74151 e 74157.

Implementação de Funções Lógicas com Multiplexadores

Além de selecionar sinais, o multiplexador pode ser usado para a implementação de funções lógicas. Por exemplo, a função Y abaixo pode ser implementada por um multiplexador de quatro entradas (representado na figura 1.2, onde A é o bit mais significativo).

$$Y = I_0 A'B' + I_1 A'B + I_2 AB' + I_3 AB$$

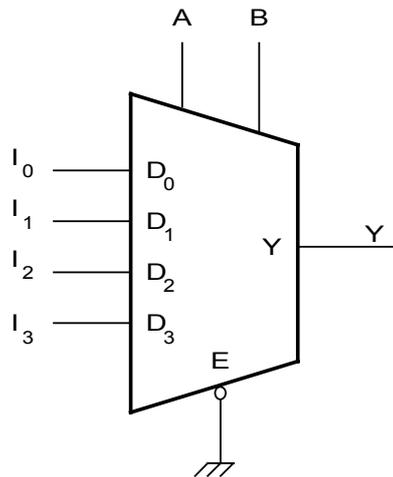


Figura 1.2 - MUX de 4 Entradas.

A função F abaixo pode ser implementada usando multiplexadores como apresentado na figura 1.3 (considerando-se A como o bit mais significativo).

$$\begin{aligned}
 F &= A'B'C'D' + A'B'CD + A'BC'D + A'BC'D' + AB'C'D + AB'CD' + ABC'D + ABC'D' \\
 &= A'B'C'D' + A'B'CD + A'BC' + AB'C'D + AB'CD' + ABC'
 \end{aligned}$$

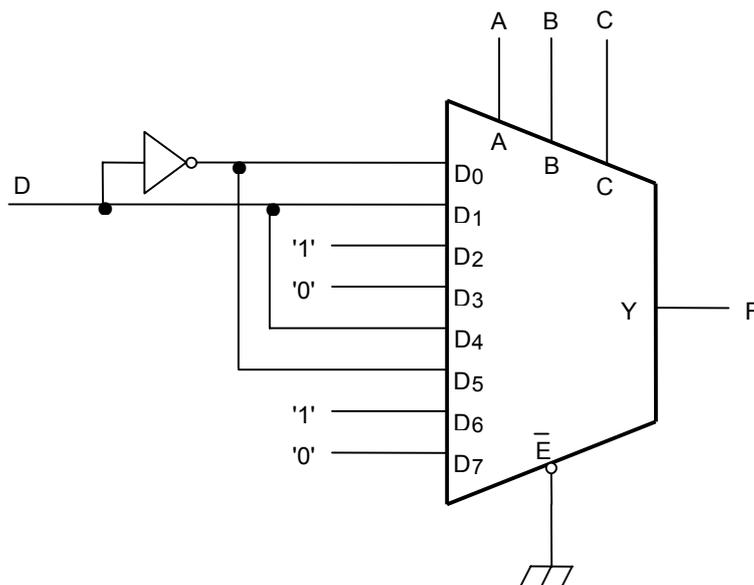


Figura 1.3 - Implementação de uma Função Lógica com Multiplexador.

Ampliação da Capacidade de um Sistema Multiplexador

Através de multiplexadores de baixa capacidade, pode-se formar MUX de maior capacidade. A figura 1.4 apresenta um MUX de 8 entradas construído a partir de dois multiplexadores de 4 entradas e um outro multiplexador de duas entradas, considerando que a entrada A é a mais significativa.

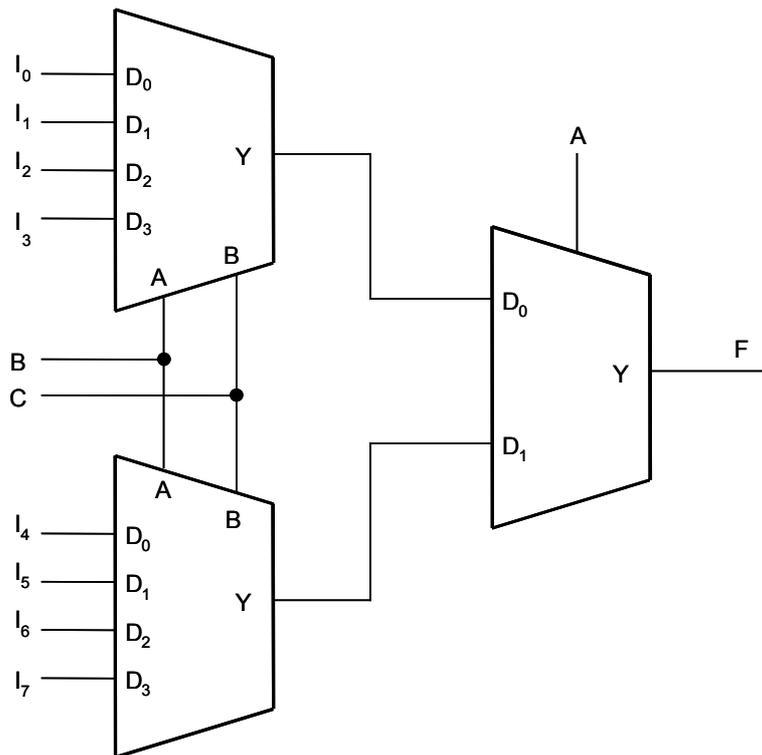


Figura 1.4 - Expansão de Multiplexadores.

1.2. Decodificadores

Um decodificador pode ser considerado um circuito oposto de um multiplexador. Num decodificador, um endereço de entrada binário determina qual das várias saídas será ativada. A figura 1.5 apresenta um decodificador octal (*one-of-eight decoder*).

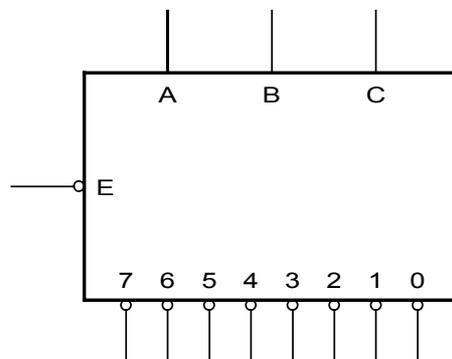


Figura 1.5 - Diagrama de Blocos de um Decodificador Octal.

Em um decodificador binário, apenas uma de suas 2^n saídas é ativada em função do valor de suas n entradas. Opcionalmente, pode haver uma entrada de habilitação (*enable*). A Tabela II mostra o funcionamento do circuito decodificador em questão.

Existem vários tipos de decodificadores que diferem tanto no número de bits de endereço quanto na própria função. Por exemplo: decodificadores para display de sete segmentos, decodificadores decimais, etc. Como exemplos de circuitos integrados, pode-se citar o 74138 e 74139.

Tabela II - Tabela Verdade do Decodificador Octal.

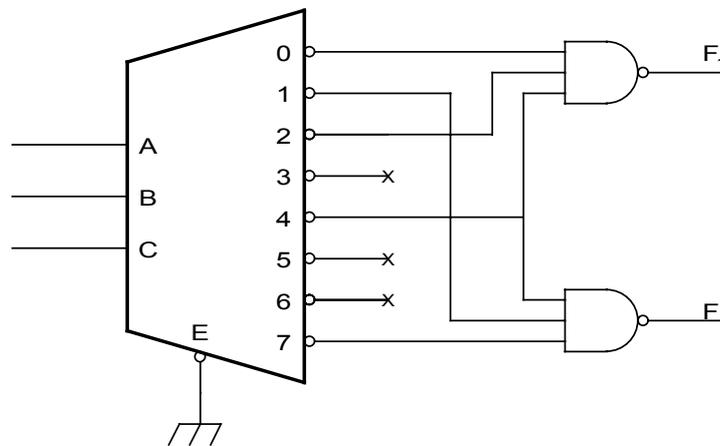
E'	A	B	C	0'	1'	2'	3'	4'	5'	6'	7'
0	0	0	0	0	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	0
1	X	X	X	1	1	1	1	1	1	1	1

Implementação de Funções Lógicas com Decodificadores

Uma das aplicações dos decodificadores é a geração de termos de funções lógicas. Assim, podem-se implementar as funções de três variáveis, abaixo detalhadas, como mostrado na figura 1.6 (considerando-se A como a entrada mais significativa).

$$F = ABC + A'B'C + AB'C'$$

$$F_1 = A'B'C' + A'BC' + AB'C'$$

**Figura 1.6 - Implementação de Funções Lógicas com Decodificadores**

Neste caso fica evidente a vantagem de se poder gerar várias funções com as mesmas variáveis, utilizando um único decodificador para construir os seus termos.

Ampliação da Capacidade de um Decodificador

Analogamente aos multiplexadores, os decodificadores podem ser encadeados para manipular um número maior de variáveis de endereço. A figura 1.7 mostra como um decodificador 3 para 8 pode ser construído a partir de dois decodificadores 2 para 4 com sinal de habilitação da entrada.

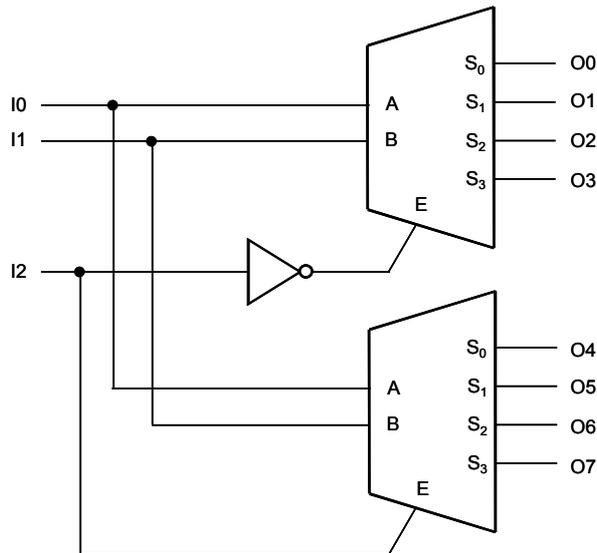


Figura 1.7 – Decodificador 3 para 8 construído a partir de dois decodificadores 2 para 4.

1.3. Codificador de Prioridade

Um codificador de prioridade produz, na sua saída, um código binário correspondente à entrada de maior número acionada. O diagrama de blocos de um codificador de oito entradas é apresentado na figura 1.8.

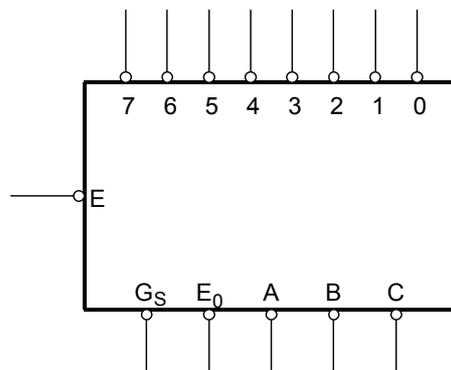


Figura 1.8 - Diagrama de Blocos de um Codificador de Prioridade.

O funcionamento do codificador de prioridade pode ser deduzido a partir do exame da Tabela III.

Tabela III - Tabela Verdade do Codificador de Prioridade de 8 Entradas.

E'	0'	1'	2'	3'	4'	5'	6'	7'	GS'	A'	B'	C'	E ₀ '
0	0	1	1	1	1	1	1	1	0	1	1	1	1
0	X	0	1	1	1	1	1	1	0	1	1	0	1
0	X	X	0	1	1	1	1	1	0	1	0	1	1
0	X	X	X	0	1	1	1	1	0	1	0	0	1
0	X	X	X	X	0	1	1	1	0	0	1	1	1
0	X	X	X	X	X	0	1	1	0	0	0	1	1
0	X	X	X	X	X	X	0	1	0	0	0	0	1
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
1	X	X	X	X	X	X	X	X	1	1	1	1	1

O sinal E₀' é utilizado para o "cascateamento", ou seja, quando se deseja formar codificadores de maior capacidade a partir de dois ou mais codificadores de menor capacidade.

O 74148 é um circuito integrado que apresenta a função de um codificador de prioridade de 8 entradas.

2. PARTE EXPERIMENTAL

2.1. Síntese de Função Booleana

Considere a função *booleana* $f = x'y'wz' + x'w'z + yw'z + xy'z + y'w'$.

- a) Apresentar a tabela verdade de f , considerando as entradas x , y , w e z .

x	y	w	z	f
0	0	0	0	
0	0	0	1	
0	0	1	0	
.
1	1	1	1	

- b) Projetar um circuito usando **multiplexadores ou decodificadores** que realize a função *booleana* f .
- c) Montar o circuito projetado, usando as chaves CH3 a CH0 do painel de montagem como as respectivas entradas das variáveis x , y , w , z . Observar o valor da saída f em um dos LEDs para todas as possíveis combinações dos valores das variáveis de entrada. Compare a saída experimental observada com a tabela verdade da função.
- d) Montar o esquema da figura 2.1, com o circuito que realiza a função booleana f . Conecte a variável x com o bit mais significativo da saída do contador e a variável w no bit menos significativo. Use o contador 74193 na montagem (use o *datasheet* do componente para verificar seu funcionamento).

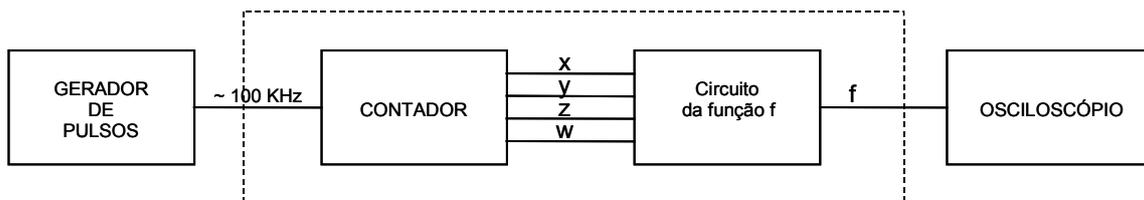


Figura 2.1 – Esquema para o item 2.1.d.

- e) Verificar a forma de onda na saída f do circuito e explicar todos os detalhes observados.

PERGUNTAS:

1. Para a síntese de uma função lógica, qual a diferença em usar multiplexadores ou decodificadores? Qual foi a escolha do grupo? Justifique.
2. Como o funcionamento estático do circuito foi verificado?
3. Como o funcionamento dinâmico do circuito foi verificado?
4. Como a forma de onda do item 2.1.e. pode ser sincronizada no osciloscópio? Descreva as possibilidades possíveis.
5. Qual é a relação entre a forma de onda observada no item 2.1.e e a tabela verdade de f ?

2.2. Circuito Codificador de Prioridade

- a) Pesquisar o *datasheet* do codificador de prioridade 74148 e estudar seu funcionamento. Descreva as principais características deste componente.
- b) Projetar um circuito digital, com funcionamento similar ao do 74148, que implemente um codificador de prioridade de 4 entradas e 2 saídas, usando multiplexadores ou decodificadores.
- c) Mostrar como o circuito será montado, testado e depurado.
- d) Monte o circuito projetado no painel de montagem, usando as chaves CH0 a CH3 nas entradas e observando as saídas em LEDs ou em um *display*.

PERGUNTAS:

6. Como os sinais \overline{EI} , \overline{GS} e \overline{EO} podem ser também implementados? Qual é a função destes sinais?
7. Como um decodificador de prioridade de 8 entradas e 3 saídas, como o 74148, poderia ser implementado? Mostre um diagrama para sua explicação.

2.3. Circuito Decodificador de Teclado

- a) Projetar um circuito com multiplexador (não deve ser utilizado um decodificador de prioridade) que detecte e apresente, em um "display" hexadecimal, o valor de uma tecla acionada num teclado de 8 dígitos, montado a partir das chaves do painel (CH0 a CH7), conforme mostrado na figura 2.2.

OBSERVAÇÕES:

- Cada chave do painel vai simular uma tecla.
- Lembre-se que, num teclado, a tecla é pressionada e em seguida liberada.
- O circuito deverá manter na saída o valor da tecla acionada mesmo após sua liberação, até o acionamento de uma próxima tecla.
- O nível lógico de uma tecla acionada corresponde ao nível ZERO.

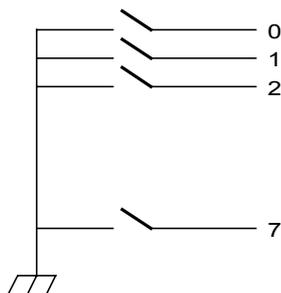


Figura 2.2 – Modelo do teclado a ser utilizado.

- b) Apresentar um diagrama de blocos que explique o funcionamento do circuito.
- c) Montar o circuito projetado, apresentando a seqüência de montagem e o procedimento de testes adotados pelo grupo.
- d) Testar o circuito no painel de montagens para diversas combinações nas entradas.

PERGUNTAS:

8. Qual é a saída do circuito quando nenhuma tecla é acionada?
9. Qual é a saída do circuito quando duas ou mais teclas são acionadas simultaneamente? Justifique sua resposta e exemplifique.
10. O circuito projetado usa um sinal de relógio? Em caso afirmativo, qual a influência de sua freqüência no funcionamento correto do circuito? Há algum valor mais conveniente?
11. Como este circuito poderia ser implementado caso fosse possível usar um codificador de prioridade? Desenhe um diagrama de blocos do circuito.

3. BIBLIOGRAFIA

- Fairchild Semiconductor. **TTL Data Book**. Mountain View, California, 1978.
- FREGNI, E.; SARAIVA, A. M. **Engenharia do Projeto Lógico Digital: Conceitos e Prática**. Editora Edgard Blücher Ltda, 1995.
- TOCCI, R. J.; WIDMER, N. S.; MOSS, G. L. **Digital Systems: principles and applications**. 9th ed., Prentice-Hall, 2004.
- WAKERLY, J. F. **Digital Design Principles & Practices**. 3rd edition, Prentice Hall, 2000.

4. MATERIAL DISPONÍVEL

- Circuitos Integrados TTL:
7400, 7402, 7404, 7410, 7474, 74138, 74151, 74193.

5. EQUIPAMENTOS NECESSÁRIOS

- 1 painel de montagens experimentais.
- 1 fonte de alimentação fixa, $5V \pm 5\%$, 4A.
- 1 osciloscópio digital.
- 1 multímetro digital.
- 1 gerador de pulsos.